



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Pat ntschrift
⑩ DE 42 34 528 C 2

⑤1 Int. Cl.⁶:
H 01 L 29/78
H 01 L 21/336

②1 Aktenzeichen: P 42 34 528.6-33
②2 Anmeldetag: 13. 10. 92
④3 Offenlegungstag: 15. 4. 93
④5 Veröffentlichungstag
der Patenterteilung: 19. 8. 99

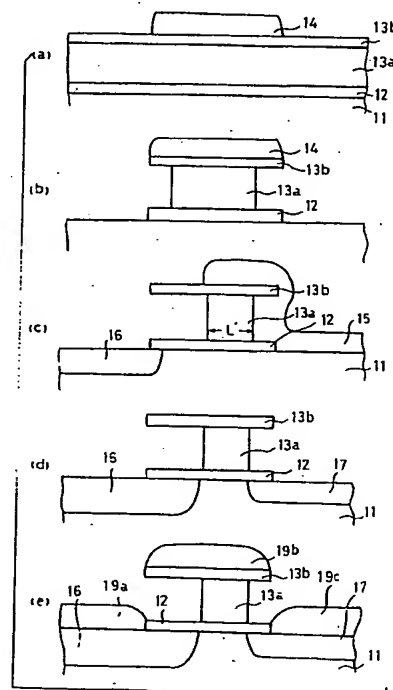
Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③0 Unionspriorität:
P 3-296354 14. 10. 91 JP
⑦3 Patentinhaber:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
⑦4 Vertreter:
Tiedtke, Bühling, Kinne & Partner, 80336 München

⑦2 Erfinder:
Taniguchi, Akihisa, Itami, JP
⑤6 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
IEEE Tr. o. El. Dev., Vol. ED 31, No. 4, Apr.
1984, pp. 416-420;
IEEE J. of Sol. St. Circ., Vol. Sc 15, No. 4,
Aug. 1980, pp. 417-423;
IEEE El. Dev. Lett., Vol. EDL-6, No. 10,
Oct. 1985, pp. 542-544;
ibid., Vol. 10, Oct. 1989, pp. 437-439;

⑤4 Halbleitervorrichtung und Verfahren zu deren Herstellung

⑤7 Halbleitervorrichtung, mit
einem Substrat (10),
einer auf das Substrat (10) aufgetragenen Halbleiter-Epi-
taxialschicht (11) eines Leitungstyps,
einer Sourcezone (16) und einer Drainzone (17) mit zur
Epitaxialschicht (11) entgegengesetztem Leitungstyp, die
in der Epitaxialschicht (11) in geringem Abstand (1) von-
einander ausgebildet sind,
einer zumindest einen Teil der Epitaxialschicht (11) über-
deckenden Isolierschicht (12), und
einer auf der Isolierschicht (12) angeordneten Gateelektro-
de (13), dadurch gekennzeichnet, daß die Gateelektro-
de (13) aus einer Schichtung aus einem unteren und einem
oberen Gateelektroden teil (13a, 13b) besteht, wobei
der obere Gateelektroden teil (13b) eine größere Gate-
länge als der untere Gateelektroden teil (13a) hat und dieser
an einem im wesentlichen an den Bereich der Epitaxial-
schicht (11) zwischen der Sourcezone (16) und der Drain-
zone (17) angrenzenden Bereich der Isolierschicht (12) an-
gebracht ist, wobei der der Drainzone (17) zugewandte
Rand der Sourcezone (16) nahe an dem der Sourcezone
(16) zugewandten Rand des unteren Gateelektroden teils
(13a) liegt, sich aber nicht über den der Sourcezone (16)
zugewandten Rand des unteren Gateelektroden teils (13a)
in den Bereich der Epitaxialschicht (11) unterhalb des un-
teren Gateelektroden teils (13a) erstreckt, und wobei der
der Sourcezone (16) zugewandte Rand der Drainzone (17)
nahe an dem der Drainzone (17) zugewandten Rand des
unteren Gateelektroden teils (13a) liegt, sich aber nicht
über den der Drainzone (17) zugewandten Rand des un-
teren Gateelektroden teils (13a) hinaus in den Bereich der
Epitaxialschicht (11) unterhalb des unteren Gateelektro-
den teils (13a) erstreckt.



DE 42 34 528 C 2

DE 42 34 528 C 2

Die Erfindung bezieht sich auf eine Halbleitervorrichtung gemäß dem Oberbegriff des Patentanspruchs 1 sowie auf ein Verfahren zu deren Herstellung gemäß dem Oberbegriff des Patentanspruchs 7.

Isolierschicht-Feldeffekttransistoren und insbesondere Metalloxydhaltiger bzw. MOS-Feldeffekttransistoren sind spannungsgesteuerte Vorrichtungen mit hoher Eingangsimpedanz. Wegen ihrer Eigenschaften einschließlich der vorstehend genannten, die gegenüber bipolaren Transistoren vorteilhaft sind, werden sie in großem Ausmaß als diskrete Vorrichtungen oder als Bestandteile integrierter Schaltungen verwendet und sind aktive Vorrichtungen, die in Bereichen niedriger Frequenzen oder hoher Frequenzen betrieben werden.

Fig. 1 zeigt einen Schnitt durch einen Hauptteil eines herkömmlichen Isolierschicht-Feldeffekttransistors bzw. IGFET 20 mit der am meisten üblichen Struktur. Der IGFET 20 enthält ein Substrat 10 beispielsweise aus P⁺-Silizium, eine auf einer Fläche des Substrats 10 aufgebrachte Epitaxialschicht 11 aus P-Silizium und eine Isolierschicht 12 beispielsweise aus Siliziumoxyd, die die Oberfläche der Epitaxialschicht 11 überdeckt. In der Epitaxialschicht 11 sind eine schwach dotierte Sourcezone 16 und eine schwach dotierte Drainzone 17 ausgebildet, die von der Sourcezone 16 einen kleinen Abstand ℓ hat. Auf demjenigen Bereich der Isolierschicht 12, der über dem Bereich der Epitaxialschicht 11 zwischen den Zonen 16 und 17 mit der Länge ℓ liegt, ist eine Gateelektrode 13 angeordnet. Eine Passivierungsschicht 18 überdeckt die Isolierschicht 12 und die Gateelektrode 13. Aus Gründen, die einem nachfolgend beschriebenen Herstellungsprozeß zuzuschreiben sind, erstrecken sich die einander gegenüberliegenden Ränder der beiden schwach dotierten Zonen 16 und 17 über die Ränder der Gateelektrode 13 hinaus in Bereiche der Epitaxialschicht 11 unterhalb der Gateelektrode 13. Daher überlappt die Gateelektrode 13 die Zonen 16 und 17 jeweils über Längen ℓ_1 bzw. ℓ_2 .

Unter Bezugnahme auf Fig. 4 wird nun ein Verfahren zur Herstellung des IGFET mit der vorstehend beschriebenen Struktur beschrieben.

Zuerst wird das (nicht gezeigte) P⁺-Si-Substrat hergestellt. Auf eine Fläche des Substrats wird beispielsweise durch chemisches Bedampfen (CVD) die P-Si-Epitaxialschicht 11 aufgebracht. Auf der Oberfläche der Si-Epitaxialschicht 11 wird beispielsweise durch thermische Oxidation die Isolierschicht 12 gebildet. Auf die Isolierschicht 12 wird durch Aufspritzen oder Bedampfen ein Metall für die Gateelektrode als Metallfilm 13a aufgebracht. Als nächstes wird über dem Metallfilm 13a ein Abdecklack aufgetragen, der dann nach irgendeinem bekannten Formungsverfahren zu einer Abdecklacksschicht 14 an einer Stelle geformt wird, an der die Gateelektrode auszubilden ist. Auf diese Weise ergibt sich eine Struktur gemäß Fig. 2(a).

Als nächstes wird die Abdecklacksschicht 14 als Maske zum Ätzen des Metallfilms 13a verwendet, was die Gateelektrode 13 mit einer gewünschten Länge L ergibt (Fig. 2(b)). Danach wird die Abdecklacksschicht 14 über der Gateelektrode 13 entfernt. Dann werden die obere freiliegende Fläche der Gateelektrode 13 und die freiliegende Oberfläche der Isolierschicht 12 mit einer anderen Abdecklacksschicht 15 überdeckt. Die Abdecklacksschicht 15 wird derart geformt, daß der links von der Mitte der Gateelektrode 13 liegende Bereich derselben entfernt wird. Als nächstes werden unter Verwendung des verbliebenen rechten Bereichs der Abdecklacksschicht 15 und des freiliegenden Bereichs der Gateelektrode 13 als Maske eine Leitfähigkeit bestimmende Fremdatome für den zum Leitungstyp der Epitaxialschicht

11 entgegengesetztes. Leitungstyp, in diesem Fall für den N-Leitungstyp implantiert, um dadurch die schwach dotierte Sourcezone 16 gemäß Fig. 2(c) zu bilden. Dann wird die Abdecklacksschicht 15 vollständig abgetragen und es werden Fremdatome für den gleichen Leitungstyp (N-Leitungstyp) wie für die Sourcezone in einer weitaus geringeren Menge (nämlich mit geringerer Konzentration) implantiert, um dadurch die schwach dotierte Drainzone 17 zu bilden.

Danach folgt eine Wärmebehandlung zum Stabilisieren der Struktur: Die bei der ersten Implantation injizierten Fremdatome diffundieren während der Implantationen und der nachfolgenden Erwärmung in die Epitaxialschicht 11 nicht nur in Tiefenrichtung, sondern auch in seitlicher Richtung in einen Bereich unterhalb der Gateelektrode 13 ein, während die bei der zweiten Implantation injizierten Fremdatome während der zweiten Implantation und der Erwärmung in die Epitaxialschicht 11 nicht nur in der Tiefenrichtung, sondern auch in seitlicher Richtung in einen Bereich unterhalb der Gateelektrode 13 eindiffundieren. Auf diese Weise entstehen die Überlappungsabschnitte mit den Längen ℓ_1 und ℓ_2 (Fig. 2 (d)).

Danach wird über die Gateelektrode 13 und die Isolierschicht 12 die Passivierungsschicht 18 aufgebracht, was die in Fig. 1 gezeigte Vorrichtung ergibt. Komponenten wie eine Sourceelektrode, eine Drainelektrode und Elektrodenzuleitungen, die nicht direkt mit der Erfindung in Zusammenhang stehen, sind in den Fig. 1 und 2 nicht dargestellt und ihre Erläuterung ist weggelassen.

Eine obere Grenzfrequenz f_T , die ein Merkmal für Hochfrequenzeigenschaften des IGFET der vorstehend beschriebenen Struktur ist, ist folgendermaßen bestimmt:

$$f_T = gm/2\pi C_{gs}$$

wobei gm die Transkonduktanz bzw. Steilheit des IGFET ist und C_{gs} die Gate-Source-Kapazität des IGFET ist.

Bekanntermaßen zeigt der IGFET im Bereich hoher Frequenzen umso bessere Eigenschaften, je höher die obere Grenzfrequenz f_T ist. Da sich bei der in Fig. 1 und 2 gezeigten üblichen Struktur eines IGFET der Rand der Sourcezone 16 in den unter der Gateelektrode 13 liegenden Bereich der Epitaxialschicht 11 erstreckt, ist die Gate-Source-Kapazität C_{gs} groß. Infolgedessen ist die Grenzfrequenz f_T niedriger und die Hochfrequenzeigenschaften des IGFET sind verschlechtert.

Zum Verbessern der Hochfrequenzeigenschaften des IGFET mit der vorstehend beschriebenen Struktur sollten die Abmessungen der Gateelektrode 13 so weit wie möglich verringert werden. Zum Verringern der Abmessungen der Gateelektrode 13 muß bei deren Herstellung ein hochpräzises Maskierverfahren angewandt werden. Außerdem muß nach dem Bilden der Gateelektrode 13 mit derart geringen Abmessungen für das Bilden der schwach dotierten Zonen 16 und 17 durch Eindiffundieren von unterschiedlichen Mengen an Fremdatomen für die jeweiligen Zonen ein hochgenaues Formungs- und Maskierverfahren für das Formen des Randes der Abdecklacksschicht 15 auf der Gateelektrode 13 angewandt werden (Fig. 2(c)). Für höhere Arbeitsfrequenzen werden die Abmessungen der Gateelektrode 13 kleiner, so daß für die beiden Maskierungsschritte höhere Genauigkeit erforderlich ist, wodurch der Herstellungsprozeß kompliziert wird und höhere Geschicklichkeit und größere Sorgfalt erfordert. Infolgedessen ist die Herstellungsausbeute beträchtlich verringert.

Aus den Veröffentlichungen "A New Self-Aligned GaAs FET With A Mo/WSi_x T-Gate" von M. Suzuki et. al. in IEEE Electron Device Letters, Vol. EDL-6; Nr. 10, Oktober 1985, Seiten 542- 544, sowie "A 0,25-µm Gate-Length Pseudo-

morphic HFET With 32-mW Output Power at 94 GHz" von Philip M. Smith et. al. in IEEE Electron Device Letters, Vol. 10; Nr. 10, Oktober 1989, Seiten 437-439, sind selbstleitende n-Kanal Feldeffekttransistoren bzw. MESFETs bekannt, bei denen das metallische Gate in direktem Kontakt auf dem selbstleitenden Kanal ausgebildet ist und somit eine Schottky-Diode bildet. Bei diesen Anordnungen muß das Gate lediglich irgendwo innerhalb der Kanalzone angeordnet sein. Eine genaue Ausrichtung des Gates mit den Drain- und Sourcezonen erfolgt bei selbstleitenden MESFETs lediglich zu dem Zweck, zwischen Drain- und Kanalzonen bzw. Source- und Kanalzonen auftretende undefinierte Widerstände möglichst genau zu definieren.

Darüber hinaus ist aus "A New Vertical Double Diffused MOSFET - The Self-Aligned Terraced-Gate MOSFET" von Daisuke Ueda et. al. in IEEE Transactions on Electron Devices, Vol. ED-31, Nr. 4, April 1984, Seiten 416-420, ein vertikaler Leistungs-MOSFET bekannt, bei dem zwar die Drain-Gate-Kapazität durch eine mesaförmige SiO_2 -Schicht verringert ist, ansonsten jedoch keine Selbstausrichtung des Gates hinsichtlich des Kanals stattfindet.

Weiterhin ist aus "Quadruply Self-Aligned MOS (QSA MOS) - A New Short-Channel High-Speed High-Density MOSFET For VLSI" von Kuniichi Ohta et. al. in IEEE Journal Of Solid-State Circuits, Vol. SC-15, Nr. 4, August 1980, Seiten 417-423 eine Halbleitervorrichtung der eingangs genannten Art bekannt.

Genauer ist aus dieser Literaturstelle ein selbstjustierender Kurzkanal-MOSFET bekannt, der ein Substrat, bzw. eine auf das Substrat aufgebrachte Halbleiter-Epitaxialschicht eines Leiterryps, eine Sourcezone und eine Drainzone mit zur Epitaxialschicht entgegengesetztem Leitungstyp, die in der Epitaxialschicht in geringem Abstand voneinander ausgebildet sind, eine zumindest einen Teil der Epitaxialschicht überdeckende Isolierschicht, und eine auf der Isolierschicht angeordnete Gateelektrode aufweist.

Dabei basiert die selbstjustierende Struktur dieses MOSFETs im wesentlichen auf dem verwendeten Gate-Material, welches aus Polysilizium besteht. In einem Oxydationsprozeß wird einerseits der aktive Flächenbereich des als Dotierungsmaske dienenden Polysilizium-Gates verringert (Ausbilden einer SiO_2 -Schicht), während sich andererseits in einem Ausheilverfahren die Dotierungsbereiche von Drain und Source unter dem Gate zueinander vergrößern. Dadurch entsteht ein Kurzkanal-MOSFET, der besonders geringe Gate-Source- und Drain-Source-Kapazitäten und folglich gute Hochfrequenzeigenschaften aufweist. Die Herstellung dieses MOSFETs ist jedoch aufgrund des verwendeten Polysilizium-Gates sehr aufwendig und benötigt zudem für die Kontaktierung der Source-, Drain- und Gate-Anschlüsse eine zusätzliche Maske.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Halbleitervorrichtung sowie ein Verfahren zu deren Herstellung gemäß dem Oberbegriff der Patentansprüche 1 und 7 derart weiterzubilden, daß bei einfacher und kostengünstiger Herstellung bessere Hochfrequenzeigenschaften der Halbleitervorrichtung erzielbar sind.

Diese Aufgabe wird mit den kennzeichnenden Merkmalen der Patentansprüche 1 und 7 gelöst.

Demgemäß wird durch Verwendung einer aus zwei unterschiedlichen Elektrodenanteilen geschichteten Gateelektrode eine aktive Kanalzone unter der unteren Elektroden-schicht auf besonders einfache Weise derart ausgebildet, daß die Gate-Source- und Drain-Source-Kapazitäten besonders klein sind und die Halbleitervorrichtung somit besonders günstige Hochfrequenzeigenschaften aufweist.

Im einzelnen wird dabei durch ein spezielles Trockenätzverfahren in Kombination mit der auftretenden Unterdiffu-

sion der Drain- und Source Diffusionsgebiete ein MOSFET geschaffen, bei dem die Kanten der unteren Gateelektroden-schicht exakt mit den Enden des Kanals bzw. mit den Rändern der Drain- und Sourcezonen übereinstimmen.

Die Erfindung ist nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher erläutert, in deren Figuren durchgehend gleiche Bezugszeichen gleiche oder ähnliche Komponenten oder Funktionen bezeichnen. Es zeigen:

Fig. 1 eine Schnittansicht eines Hauptteils eines der herkömmlichsten Isolierschicht-Feldeffekttransistoren.

Fig. 2(a) bis 2(d) Schnittansichten zur Erläuterung eines herkömmlichen Verfahrens zur Herstellung des in Fig. 1 gezeigten Isolierschicht-Feldeffekttransistors.

Fig. 3 eine Schnittansicht eines Hauptteils eines Isolierschicht-Feldeffekttransistors als Ausführungsbeispiel für Halbleitervorrichtungen.

Fig. 4(a) bis 4(e) Schnittansichten, die aufeinanderfolgende Schritte bei einem Verfahren zur Herstellung des in Fig. 3 gezeigten Isolierschicht-Feldeffekttransistors gemäß einem Ausführungsbeispiel veranschaulichen.

Die Fig. 3 ist eine Schnittansicht eines Hauptteils eines Isolierschicht-Feldeffekttransistors (IGFET) 30 mit verbesserten Hochfrequenzeigenschaften. Der IGFET ist ein Beispiel für Halbleitervorrichtungen.

Gemäß Fig. 3 enthält der IGFET 30 ein geeignetes Substrat 10 wie beispielsweise ein P^+ -Silizium-Substrat. Auf einer Oberfläche des Substrats 10 ist eine Epitaxialschicht 11 aus P-Silizium angeordnet. In der Epitaxialschicht 11 sind an deren Hauptfläche angrenzend eine schwach dotierte N^+ -Sourcezone 16 und eine schwach dotierte N-Drainzone 17 ausgebildet. Die Sourcezone 16 und die Drainzone 17 stehen einander mit einem kleinen Zwischenabstand ℓ gegenüber. Auf die Oberflächen der Zonen 16 und 17 sind jeweils eine Sourceelektrode 19a und eine Drainelektrode 19c aufgebracht. Auf den Oberflächenbereich der Epitaxialschicht 11 zwischen den Elektroden 19a und 19c (bzw. zwischen den Zonen 16 und 17 und gewissen Oberflächenbereichen der Zonen 16 und 17) ist eine Gate-Isolierschicht 12 (beispielsweise aus Siliziumoxyd) aufgebracht. Auf der Isolierschicht 12 ist unmittelbar über dem zwischen den beiden Zonen 16 und 17 liegenden Bereich der Epitaxialschicht 11 ein unterer Gateelektrodenanteil 13a aus einem Gateelektrodenmetall wie Molybdän angeordnet. Über dem unteren Gateelektrodenanteil 13a ist ein oberer Gateelektrodenanteil 13b angeordnet. Gemäß der nachfolgenden Beschreibung besteht der obere Gateelektrodenanteil 13b aus einem Metallmaterial, das durch ein bei dem Herstellungsprozeß verwendetes ausgewähltes Ätzmittel mit einer geringeren Geschwindigkeit als das Metallmaterial des unteren Gateelektrodenanteils 13a geätzt wird. Zur zweckdienlichen Nutzung des Unterschieds hinsichtlich der Ätzgeschwindigkeit ist der obere Gateelektrodenanteil 13b seitlich länger ausgebildet als der untere Gateelektrodenanteil 13a. Auf den oberen Gateelektrodenanteil 19b ist eine Gateelektrode 19a aufgebracht und ein Passivierungsfilm 18 überdeckt die ganze Oberfläche der Struktur. In Fig. 3 sind zur Vereinfachung Elektrodenzuleitungen und andere Komponenten weggelassen, die nicht Gegenstand der Erfindung sind.

Als nächstes wird unter Bezugnahme auf Fig. 4(a) bis 4(e) ein Verfahren zur Herstellung des in Fig. 3 gezeigten IGFET 30 gemäß einem Ausführungsbeispiel beschrieben.

Zuerst wird ein (nicht dargestelltes) Substrat 10 hergestellt. Auf einer Fläche des Substrats 10 wird eine P-Silizium-Epitaxialschicht 11 gezüchtet. Als Substrat 10 kann ein Halbleitersubstrat, ein Isoliersubstrat, eine auf einem Isoliermaterial aufgebrachte Halbleiterschicht oder irgendein anderes geeignetes, auf dem Gebiet der Halbleitertechnologie

nik bekanntes Substrat verwendet werden. Bei dem dargestellten Ausführungsbeispiel wird ein P⁺-Siliziumsubstrat verwendet. Auf der Oberfläche der Epitaxialschicht 11 auf dem P⁺-Siliziumsubstrat 10 wird ein Siliziumoxydfilm 12 ausgebildet, aus dem eine Gate-Isolierschicht 12 geformt wird. Der Siliziumoxydfilm 12 kann beispielsweise durch thermisches Oxydieren des Oberflächenbereichs der Silizium-Epitaxialschicht 11 gebildet werden. Als nächstes werden auf den Siliziumoxydfilm 12 durch Aufsprühen oder Aufdampfen Molybdän und Titan-Wolfram in dieser Aufeinanderfolge abgelagert, was eine Schichtung aus einem Molybdänfilm 13a' und einem Titan-Wolfram-Film 13b' auf dem Siliziumoxydfilm 12 ergibt. Über dem Titan-Wolfram-Film 13b' wird ein erster Abdecklack aufgetragen und daraus durch einen fotolithografischen Prozeß eine erste Abdecklackschicht 14 an einer Stelle gebildet, an der eine Gateelektrode 13b ausgebildet werden soll. Dies ergibt ein in Fig. 4(a) gezeigtes Gebilde.

Als nächstes werden unter Verwendung der ersten Abdecklackschicht 14 als Maske der Titan-Wolfram-Film 13b', der Molybdänfilm 13a' und der Siliziumoxydfilm 12 der Trockenätzung unterzogen. Es kann ein Halogengas wie $\text{Cl}_2\text{F}_2 + \text{O}_2$ verwendet werden, dem Sauerstoff (O_2) oder Wasserstoff (H_2) hinzugefügt ist. Die Metallätzgeschwindigkeit eines solchen Ätzgases ist für Titan-Wolfram verhältnismäßig gering, für Molybdän verhältnismäßig hoch und für Siliziumoxyd verhältnismäßig gering. Dementsprechend verbleibt gemäß Fig. 4(b) ein verhältnismäßig langer Siliziumoxydfilm 12, ein verhältnismäßig kurzer Molybdänfilm 13a und ein verhältnismäßig langer Titan-Wolfram-Film 13b. Der Molybdänfilm 13a und der Titan-Wolfram-Film 13b sind jeweils der untere bzw. obere Gateelektroden-
teil.

Als nächstes wird die in Fig. 4(b) gezeigte erste Abdecklackschicht 14 entfernt. Über dieses Gebilde wird wieder ein Abdecklack aufgebracht und durch Fotolithografie eine zweite Abdecklackschicht 15 gebildet, die den Bereich rechts von der Mittellinie der Oberfläche des oberen Gateelektroden-
teils 13b überdeckt und sich über den rechten Seitenteil der Epitaxialschicht 11 erstreckt. Unter Verwendung der zweiten Foto-Abdecklackschicht 15 als Maske wird ein weiterer Ätzprozeß mit dem gleichen Ätzgas wie bei dem ersten Ätzen, nämlich mit $\text{Cl}_2\text{F}_2 + \text{O}_2$ oder einem anderen Ätzgas ausgeführt, das gleichartige Ätzeigenschaften zeigt. Als Ergebnis dieses Ätzens wird der untere Gateelektroden-
teil 13a aus Molybdän seitlich von der Source her (nämlich von links in der Zeichnung her) derart geätzt, daß gemäß Fig. 4(c) die in seitlicher Richtung gemessene Elektrodenlänge, nämlich die Gatelänge L' weiter verringert wird. Auf diese Weise wird der untere Gateelektroden-
teil 13a seitlich kürzer als der obere Gateelektroden-
teil 13b und zugleich zu der (rechten) Drainzone hin in bezug auf den oberen Gateelektroden-
teil 13b versetzt.

Unter Verwendung des oberen Gateelektroden-
teils 13b und der zweiten Abdecklackschicht 15 als Maske werden Fremdatome für den der P-Epitaxialschicht 11 entgegengesetzten Leitungstyp (in diesem Fall N-Fremdatome) in die Epitaxialschicht 11 injiziert. Dies ergibt eine schwach dotierte Sourcezone 16 (Fig. 4(c)).

Danach wird gemäß Fig. 4(d) die zweite Abdecklackschicht 15 entfernt und es werden in die Epitaxialschicht Fremdatome mit dem gleichen Leitungstyp wie die zuletzt genannten Fremdatome (nämlich N-Fremdatome) in einem weitaus geringeren Ausmaß als die letztgenannten Fremdatome injiziert (Implantation mit geringer Konzentration). Dies ergibt eine schwach dotierte Drainzone 17. Danach wird das Gebilde zum Stabilisieren erwärmt. Bei diesem besonderen Ausführungsbeispiel ist die Menge von in die Epi-

taxialschicht 11 zum Bilden der Sourcezone 16 injizierten Fremdatomen um ungefähr zwei Größenordnungen größer als die Menge der zum Bilden der Drainzone 17 injizierten Fremdatome.

Als nächstes werden durch aufeinanderfolgendes Aufdampfen von Platin und danach Gold auf das Gebilde von oben Metallschichten aufgebracht. Da der untere Gateelektroden-
teil 13a wie ein Pilzstengel dünner ist als der obere Gateelektroden-
teil 13b, werden ein Sourcekontakt 19a, ein Gatekontakt 19b und ein Drainkontakt 19c gesondert auf der Sourcezone 16, dem oberen Gateelektroden-
teil 13b bzw. auf der Drainzone 17 unter Selbstausrichtung ausgebildet, ohne daß irgendeine Maske verwendet wird (Fig. 4(e)). Danach wird über die ganze obere Fläche des Gebildes ein Passivierungs-
film 18 abgelagert. Auf diese Weise wird der IGFET mit der in Fig. 3 gezeigten Struktur fertiggestellt. Danach wird die Vorrichtung auf einer Platte angebracht, es werden Zuleitungen an die Vorrichtung angeschlossen und die Vorrichtung wird eingekapselt, wodurch sich ein Endprodukt ergibt.

Aus der vorstehenden Beschreibung des Herstellungsverfahrens ist ersichtlich, daß die Gateelektrode der Halbleitervorrichtung durch Trockenätzung des Molybdänfilms 13a' und des Titan-Wolfram-Films 13b' geformt wird, welche durch ein ausgewähltes Ätzmittel mit unterschiedlichen Geschwindigkeiten geätzt werden, und daß daher die Gateelektrode zweischichtig mit dem unteren Gateelektroden-
teil 13a aus Molybdän mit kürzerer Gatelänge und dem oberen Gateelektroden-
teil 13b aus Titan-Wolfram mit größerer Gatelänge gestaltet ist. Da ferner dieser obere Gateelektroden-
teil 13b mit der größeren Gatelänge als Maske (zum Begrenzen eines Fensters) zum Ausbilden der schwach dotierten Sourcezone 16 verwendet wird, kann die Sourcezone auf die gewünschte Weise mit einem Rand ausgebildet werden, der der Drainzone zugewandt ist, sich aber nicht in einem Bereich unterhalb der Gateelektrode erstreckt (d. h., nicht in einen Bereich unterhalb des unteren Gateelektroden-
teils 13b mit der kürzeren Gatelänge).

Infolgedessen hat die auf diese Weise fertiggestellte Halbleitervorrichtung eine Gateelektrode mit einer kurzen wirksamen Gatelänge und ohne Überlappung mit der Sourcezone, so daß die Gate-Source-Kapazität C_{gs} beträchtlich verringert ist, was verbesserte Hochfrequenzeigenschaften der Vorrichtung mit einer höheren Grenzfrequenz f_T ergibt.

Somit ist zum Erzielen einer kurzen Gatelänge weder eine Maske mit kleineren Abmessungen für das Bilden einer Gateelektrode noch eine hochgenaue Maskenausrichtung für das genaue Aufbringen einer Maske auf eine kleine Gateelektrode zum Bilden einer Sourcezone erforderlich. Infolgedessen kann eine hohe Herstellungsausbeute erzielt werden.

Bei dem Herstellungsverfahren wird vor dem Bilden der Sourcezone der untere Gateelektroden-
teil 13a seitlich geätzt, um ihn dünner zu machen. Infolgedessen können bessere Hochfrequenzeigenschaften als nach den herkömmlichen Verfahren erzielt werden, bei denen die Gatelänge allein durch die Maskendimensionen bestimmt ist.

Da gemäß einem weiteren Merkmal der Erfindung der untere Gateelektroden-
teil 13a zwischen dem Siliziumoxydfilm 12, der eine Gate-Isolierschicht ist, und dem oberen Gateelektroden-
teil 13b angeordnet ist und beträchtlich innerhalb des Außenumfangs des oberen Gateelektroden-
teils 13b liegt, erübrigt es sich, nach dem Ausbilden der Sourcezone und der Drainzone 17 irgendwelche Masken zu verwenden, die ansonsten für das Bilden des Sourcekontaktes 19a, des Gatekontaktes 19b und des Drainkontaktes 19c aus Metallschichten mit niedrigem Widerstand (Platin oder Gold) durch aufeinanderfolgendes Aufdampfen von Platin und

Gold erforderlich wären. Dadurch wird zu einer weiteren Verbesserung der Hochfrequenzeigenschaften der Vorrichtung der Gate-Serienwiderstand verringert.

Es ist anzumerken, daß die Halbleitervorrichtung und das Verfahren zu deren Herstellung gemäß Fig. 3 und Fig. 4(a) bis 4(e) nur Beispiele darstellen, auf die die Erfindung nicht eingeschränkt ist. Vielmehr können vielerlei Abänderungen vorgenommen werden.

Beispielsweise können die Leitungstypen der Epitaxialschicht 11, der Sourcezone 16 und der Drainzone 17 gegenüber den bei den dargestellten Ausführungsbeispielen beschriebenen jeweils zum N-Leitungstyp, P-Leitungstyp und P-Leitungstyp umgeändert sein.

Ferner besteht hinsichtlich der Materialien für den oberen und unteren Gateelektrodenenteil 13a und 13b keine Einschränkung auf Molybdän bzw. Titan-Wolfram, so daß vielmehr irgendeine Kombination von leitfähigen Materialien verwendet werden kann, solange diese bei gleichzeitigem Trockenätzen mit unterschiedlichen Geschwindigkeiten geätzt werden können, um dadurch den oberen Gateelektrodenenteil 13b mit dem in Fig. 4(b) gezeigten Überhang zu bilden.

Als Materialien für den Sourcekontakt 19a, den Gatekontakt 19b und den Drainkontakt 19c können außer Platin und Gold auch Aluminium oder andere Metalle verwendet werden.

Bei dem beschriebenen Herstellungsverfahren wird nach dem Aufdampfen des Sourcekontakts 19a, des Gatekontakts 19b und des Drainkontakts 19c die Passivierungsabdeckung 18 aufgebracht, jedoch kann diese vor dem Bilden der Kontakte aufgebracht werden, welche unter Benutzung von in der Passivierungsschicht 18 durch Fotolithografie ausgebildeten Elektrodenkontaktöffnungen nach einem herkömmlichen Plattierverfahren gebildet werden können.

Bei dem vorstehend beschriebenen Ausführungsbeispiel ist der Halbleiterkörper eine Silizium-Epitaxialschicht, jedoch kann eine Epitaxialschicht aus einem anderen Material als Silizium verwendet werden, wie eine Epitaxialschicht aus einem Verbundhalbleiter wie Galliumarsenid (GaAs). Ein Beispiel für Vorrichtungen mit solchen Materialien ist ein GaAs-MISFET. Selbstverständlich können durch Anwenden der Erfindung bei der Gateelektrodenstruktur eines MISFET die verbesserten Hochfrequenzeigenschaften gemäß den vorangehenden Ausführungen erzielt werden.

Ferner wurden zwar vorstehend ein Transistor zur Hochfrequenzverstärkung und ein Verfahren zu dessen Herstellung beschrieben, jedoch ist die Erfindung gleichermaßen bei andersartigen Halbleitervorrichtungen anwendbar, wie bei Speichern, um deren Hochfrequenzeigenschaften zu verbessern.

Patentansprüche

1. Halbleitervorrichtung, mit einem Substrat (10), einer auf das Substrat (10) aufgetragenen Halbleiter-Epitaxialschicht (11) eines Leitungstyps, einer Sourcezone (16) und einer Drainzone (17) mit zur Epitaxialschicht (11) entgegengesetztem Leitungstyp, die in der Epitaxialschicht (11) in geringem Abstand (1) voneinander ausgebildet sind, einer zumindest einen Teil der Epitaxialschicht (11) überdeckenden Isolierschicht (12), und einer auf der Isolierschicht (12) angeordneten Gateelektrode (13), dadurch gekennzeichnet, daß die Gateelektrode (13) aus einer Schichtung aus einem unteren und einem oberen Gateelektrodenenteil (13a, 13b) besteht, wobei der obere Gateelektrodenenteil (13b) eine

größere Gatelänge als der untere Gateelektrodenenteil (13a) hat und dieser an einem im wesentlichen an den Bereich der Epitaxialschicht (11) zwischen der Sourcezone (16) und der Drainzone (17) angrenzenden Bereich der Isolierschicht (12) angebracht ist, wobei der der Drainzone (17) zugewandte Rand der Sourcezone (16) nahe an dem der Sourcezone (16) zugewandten Rand des unteren Gateelektrodenenteils (13a) liegt, sich aber nicht über den der Sourcezone (16) zugewandten Rand des unteren Gateelektrodenenteils (13a) in den Bereich der Epitaxialschicht (11) unterhalb des unteren Gateelektrodenenteils (13a) erstreckt, und wobei der der Sourcezone (16) zugewandte Rand der Drainzone (17) nahe an dem der Drainzone (17) zugewandten Rand des unteren Gateelektrodenenteils (13a) liegt, sich aber nicht über den der Drainzone (17) zugewandten Rand des unteren Gateelektrodenenteils (13a) hinaus in den Bereich der Epitaxialschicht (11) unterhalb des unteren Gateelektrodenenteils (13a) erstreckt.

2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Sourcezone (16) und die Drainzone (17) durch Implantieren von Fremdatomen des entgegengesetzten Leitungstyps in die Epitaxialschicht (11) unter Verwendung des oberen Elektrodenenteils (13b) als Maske ausgebildet sind.

3. Halbleitervorrichtung nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß der untere Gateelektrodenenteil (13a) in bezug auf den oberen Gateelektrodenenteil (13b) zu der Drainzone (17) hin versetzt ist.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der untere Gateelektrodenenteil (13a) durch seitliches Ätzen derart geformt ist, daß von der der Sourcezone (16) zugewandten Seite eine größere Materialmenge abgetragen ist als von der der Drainzone (17) zugewandten Seite, wodurch der Abstand des der Sourcezone (16) zugewandten Randes des oberen Gateelektrodenenteils (13b) von der der Sourcezone (16) zugewandten Seite des unteren Gateelektrodenenteils (13a) größer ist als der Abstand des der Drainzone (17) zugewandten Randes des oberen Gateelektrodenenteils (13b) von der der Drainzone (17) zugewandten Seite des unteren Gateelektrodenenteils (13a).

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß auf den oberen Gateelektrodenenteil (13b) eine Kontaktschicht (19b) aus Metall mit niedrigem Widerstand aufgebracht ist.

6. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß jeweils auf den oberen Gateelektrodenenteil (13b), die Sourcezone (16) und die Drainzone (17) Kontaktschichten (19b, 19a, 19c) gleichen Materials aus Metall mit niedrigem Widerstand aufgebracht sind.

7. Verfahren zum Herstellen einer Halbleitervorrichtung, dadurch gekennzeichnet, daß auf ein Substrat (10) eine Halbleiter-Epitaxialschicht (11) eines Leitungstyps aufgebracht wird, auf die Epitaxialschicht (11) eine Isolierschicht (12) aufgebracht wird, auf die Isolierschicht (12) eine erste und eine zweite Metallschicht (13a', 13b') in dieser Aufeinanderfolge aufgebracht werden, welche derart beschaffen sind, daß bei einem Ätzen mit einem ausgewählten Ätzmittel die erste Metallschicht (13a') mit einer verhältnismäßig hohen Geschwindigkeit und die zweite Metallschicht (13b') mit einer verhältnismäßig niedrigen Geschwindigkeit geätzt wird, über die zweite Metallschicht (13b') ein erster Abdeck-

lack (14) aufgetragen wird,
der erste Abdecklack (14) unter Zurücklassung eines
Bereichs desselben abgetragen wird,
das entstandene Gebilde einer Trockenätzung mit dem
ausgewählten Ätzmittel unter Verwendung des auf der
zweiten Metallschicht (13b') verbliebenen Bereichs des
ersten Abdecklacks (14) als Maske unterzogen wird,
um dadurch eine Schichtung aus einem oberen Gate-
elektrodenenteil (13b) mit größerer Gatelänge und einem
unteren Gateelektrodenenteil (13a) mit kürzerer Gate-
länge zu bilden,
der auf der zweiten Metallschicht (13b') verbliebene erste
Abdecklack (14) entfernt wird und über die ganzen
freiliegenden Flächen des oberen und des unteren
Gateelektrodenenteils (13a, 13b), den restlichen Bereichen
der Isolierschicht (12) und der Epitaxialschicht
(11) ein zweiter Abdecklack (15) aufgetragen wird,
ein Teil des zweiten Abdecklacks (15) an einer Seite
des Gebildes in bezug auf die wesentliche Mitte des
oberen Gateelektrodenenteils (13b) entfernt wird,
Fremdatome mit dem zum Leitungstyp der Epitaxial-
schicht (11) entgegengesetzten Leitungstyp in die Epi-
taxialschicht (11) unter Verwendung des zurückgeblie-
benen Teils des zweiten Abdecklacks (15) als Maske
implantiert werden, um dadurch in der Epitaxialschicht
eine Sourcezone (16) auszubilden, und
der zurückgebliebene Teil des zweiten Abdecklacks
(15) entfernt wird und in die Epitaxialschicht (11)
Fremdatome des entgegengesetzten Leitungstyps im-
plantiert werden, um dadurch in der Epitaxialschicht
in geringem Abstand zur Sourcezone (16) eine
Drainzone (17) auszubilden.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet,
daß vor dem Implantieren von Fremdatomen des
entgegengesetzten Leitungstyps in die Epitaxialschicht
für das Bilden der Sourcezone (16) in dieser der
untere Gateelektrodenenteil (13a) seitlich durch Trock-
nätzung unter Verwendung des zweiten Abdecklacks
(15) als Maske derart geätzt wird, daß die Gatelänge
(L) des unteren Gateelektrodenenteils (13a) weiter ver-
ringert wird.
9. Verfahren nach Anspruch 7 oder 8, dadurch gekenn-
zeichnet, daß nach dem Ausbilden der Drainzone (17)
auf die jeweiligen oberen Flächen des oberen Gateelek-
trodenenteils (13b), der Sourcezone (16) und der Drain-
zone (17) durch Selbstausrichtung unter Verwendung
des oberen Gateelektrodenenteils (13b) als Maske von-
einander abgesonderte Schichten (19a, 19b, 19c) aus
Metall mit niedrigem Widerstand aufgebracht werden.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

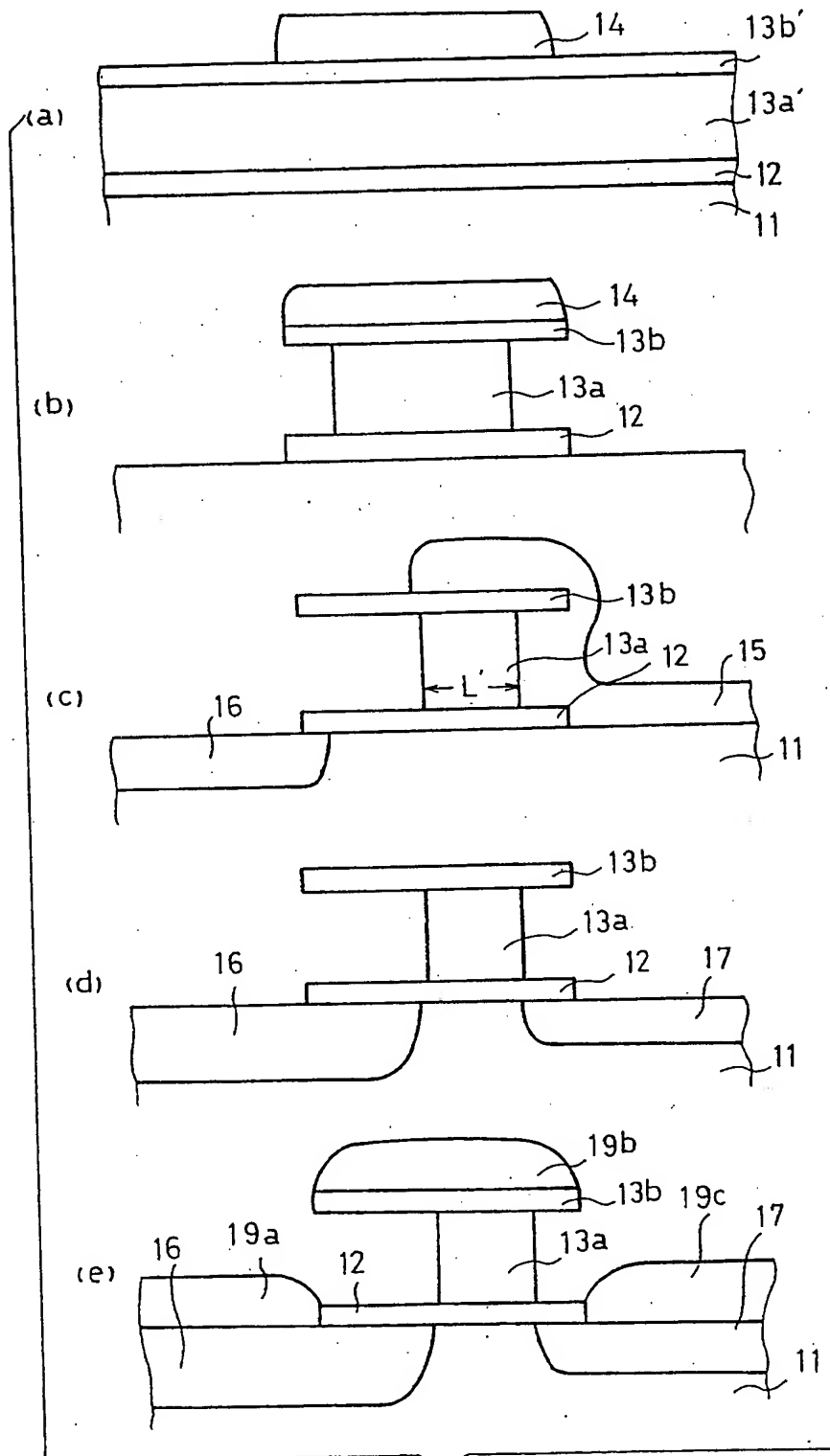


FIG. 4

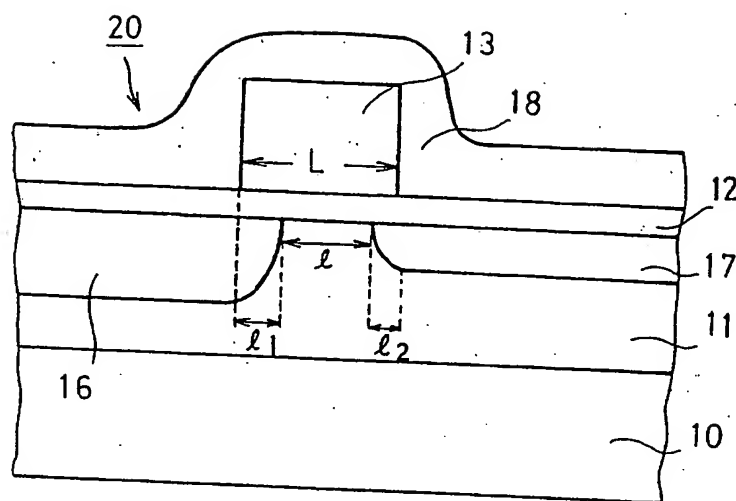


FIG. 1

(STAND DER TECHNIK)

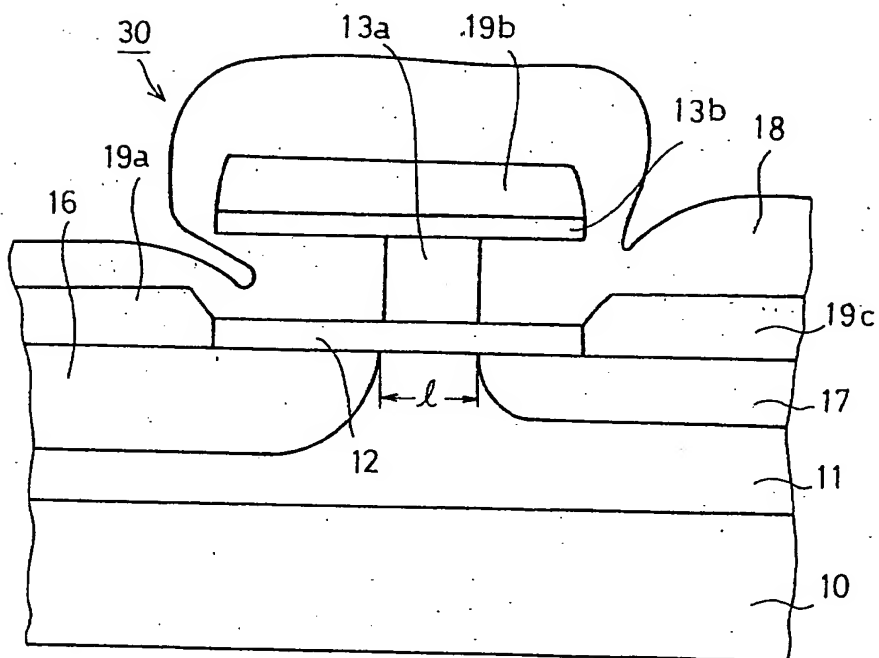


FIG. 3

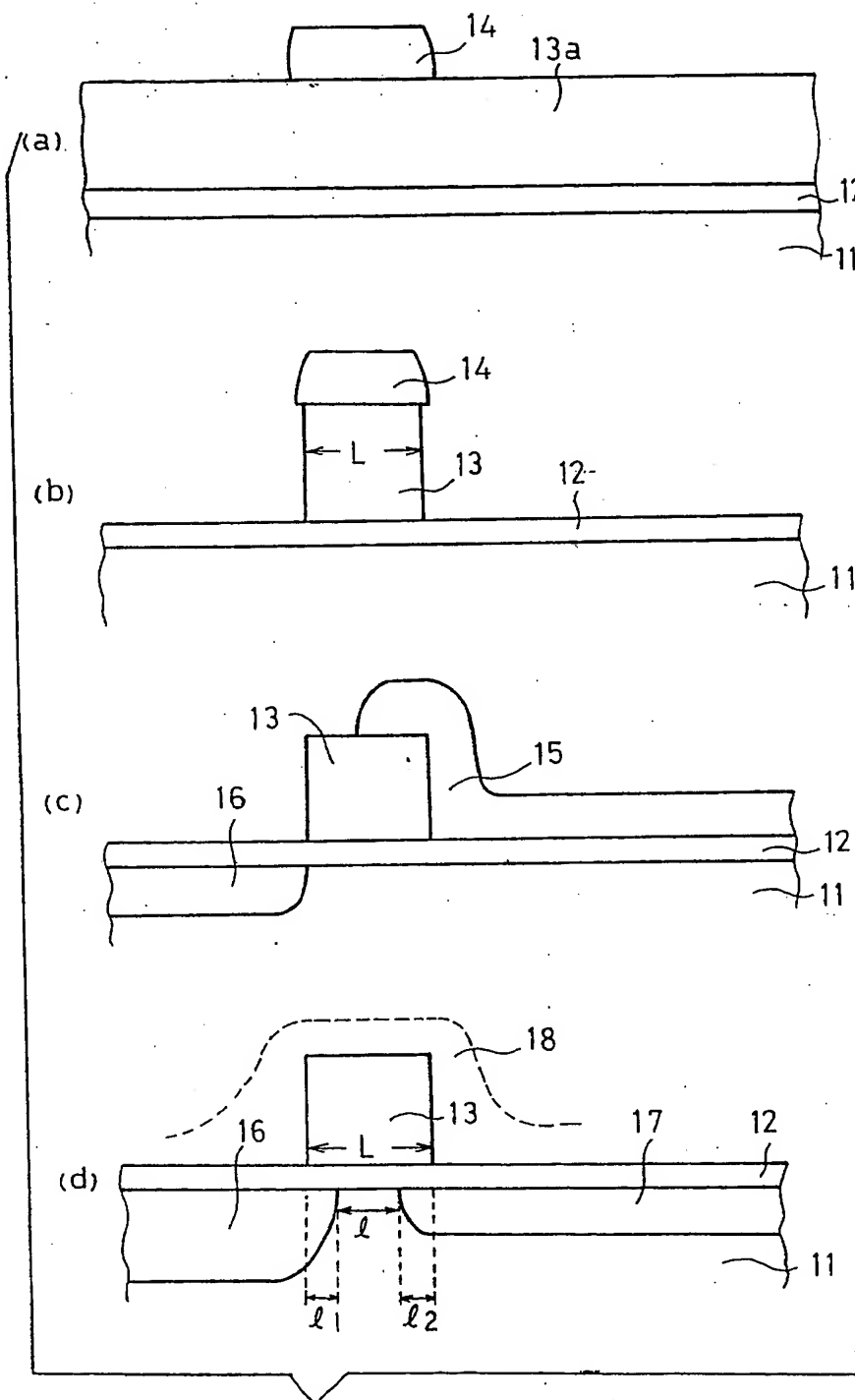


FIG. 2
(STAND DER TECHNIK)

Field effect transistor with T-shaped gate electrode

Patent Number: US5384479
Publication date: 1995-01-24
Inventor(s): TANIGUCHI AKIHISA (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)
Requested Patent: DE4234528
Application Number: US19920958788 19921009
Priority Number(s): JP19910296354 19911014
IPC Classification: H01L29/76; H01L29/94; H01L23/48; H01L23/52
EC Classification: H01L21/28E2B5, H01L21/28E2B20, H01L21/3213C4B, H01L21/336H4, H01L29/423D2B7B
Equivalents: FR2682534, JP2702338B2, JP5109761

Abstract

A semiconductor device with a small gate-source capacitance is fabricated by growing a semiconductor epitaxial layer of a first conductivity type on a substrate. Two metal layers that are etched at different rates are successively deposited on the epitaxial layer. The metal layers are dry-etched to form a gate electrode including a wider (larger gate length) upper gate electrode section and a narrower (smaller gate length) lower gate electrode section. The upper gate electrode section is used as a mask for implanting a dopant impurity into the semiconductor epitaxial layer to form a source region having an edge close to but not extending beneath the lower gate electrode section.

Data supplied from the esp@cenet database - I2

Docket # P2001,0216

Applic. # _____

Applicant: A. CAPPELLANI ET AL.

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101